

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Toshiyuki KASAI

Application No.: 10/629,592

Filed: July 30, 2003

For: ELECTRONIC CIRCUIT, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC APPARATUS



Group Art Unit: Unknown

Examiner: Unknown

Docket No.: 116743

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country(ies) is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-223157 filed July 31, 2002; and

Japanese Patent Application No. 2003-198127 filed July 16, 2003.

In support of this claim, certified copies of said original foreign applications:

 X are filed herewith.

 were filed on in Parent Application No. filed .

 will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,

A handwritten signature in black ink, appearing to read "James A. Oliff".

James A. Oliff
Registration No. 27,075

John S. Kern
Registration No. 42,719

JAO:JSK/kap

Date: October 22, 2003

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>
--

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 7 月 3 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 2 3 1 5 7
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 2 2 3 1 5 7]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 7 月 3 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 0 7 7 4

【書類名】 特許願

【整理番号】 J0091249

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/30

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 河西 利幸

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100095728

 【弁理士】

 【氏名又は名称】 上柳 雅誉

 【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

 【識別番号】 100107076

 【弁理士】

 【氏名又は名称】 藤網 英吉

【選任した代理人】

 【識別番号】 100107261

 【弁理士】

 【氏名又は名称】 須澤 修

【手数料の表示】

 【予納台帳番号】 013044

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子回路、電気光学装置及び電子機器

【特許請求の範囲】

【請求項 1】 j ビット (j は自然数) のデジタルデータをシフトすることで k ビット (k は自然数) のデジタルデータに変換するシフト回路と、

前記シフト回路と電氣的に接続し、同シフト回路にて得られた前記 k ビットのデジタルデータを前記 j ビットのデジタルデータの変化に伴って連続して変化させるための補正回路と

を備えたことを特徴とする電子回路。

【請求項 2】 請求項 1 に記載の電子回路において、

前記 k ビットのデジタルデータは、前記 j ビットのデジタルデータより大きい拡張デジタルデータであって、

前記シフト回路は、前記 j ビットのデジタルデータの範囲を複数のグループに区分し、各グループ毎にそのデジタルデータをそのグループに応じて予め定められたビット数だけシフトして前記 k ビットのデジタルデータに変換させるようにしたことを特徴とする電子回路。

【請求項 3】 請求項 2 に記載の電子回路において、

前記補正回路は電気光学素子と電氣的に接続され、

前記 j ビットのデジタルデータは、前記電気光学素子の輝度を制御するための輝度階調データであって、

前記 k ビットのデジタルデータは、前記電気光学素子に供給されるアナログ電流の電流量を与える拡張輝度階調データであることを特徴とする電子回路。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 つに記載の電子回路において、前記補正回路は加算回路であることを特徴とする電子回路。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 つに記載の電子回路において、前記シフト回路は、前記 j ビットのデジタルデータの大きさに応じて、同 j ビットのデジタルデータをシフトさせるビット数を決定するようにしたことを特徴とする電子回路。

【請求項 6】 請求項 5 に記載の電子回路において、

前記シフト回路は、上位にシフトするものであり、値が大きいグループほど前記シフトするビット数を大きくするようにしたことを特徴とする電子回路。

【請求項 7】 j ビット (j は自然数) の輝度階調データを出力する制御回路と、

前記 j ビットの輝度階調データに基づいてアナログ駆動信号を生成する駆動回路と、

前記アナログ駆動信号に基づいて電流駆動素子を駆動させる画素回路とを備えた電気光学装置において、

前記駆動回路に、

前記 j ビットの輝度階調データをシフトすることで k ビット (k は自然数) のデジタルデータに変換するシフト回路と、

前記シフト回路と電気的に接続し、同シフト回路にて得られた前記 k ビットのデジタルデータを前記 j ビットの輝度階調データの変化に伴って連続して変化させるための補正回路と

を備えたことを特徴とする電気光学装置。

【請求項 8】 請求項 7 に記載の電子回路において、

前記 k ビットのデジタルデータは、前記 j ビットの輝度階調データより大きい拡張デジタルデータであって、

前記シフト回路は、前記 j ビットのデジタルデータの範囲を複数のグループに区分し、各グループ毎にそのデジタルデータをそのグループに応じて予め定められたビット数だけシフトして前記 k ビットのデジタルデータに変換させるようにしたことを特徴とする電気光学装置。

【請求項 9】 請求項 7 または 6 に記載の電気光学装置において、

前記補正回路は加算回路であることを特徴とする電気光学装置。

【請求項 10】 請求項 7 乃至 9 のいずれか 1 つに記載の電気光学装置において、

前記シフト回路は、前記 j ビットの輝度階調データの大きさに応じて、同 j ビットの輝度階調データをビットシフトさせるビット数を決定するようにしたことを特徴とする電気光学装置。

【請求項 11】 請求項 10 に記載の電気光学装置において、

前記シフト回路は、上位にシフトするものであり、値が大きいグループほど前記ビットシフトさせるビット数を大きくするようにしたことを特徴とする電気光学装置。

【請求項 12】 請求項 7 乃至 11 のいずれか 1 つに記載の電気光学装置において、

前記電流駆動素子は、EL 素子であることを特徴とする電気光学装置。

【請求項 13】 請求項 12 に記載の電気光学装置において、

前記 EL 素子は、発光層は有機材料で構成されていることを特徴とする電気光学装置。

【請求項 14】 請求項 1 乃至 6 のいずれか 1 つに記載の電子回路が実装されてなる電子機器。

【請求項 15】 請求項 7 乃至 13 のいずれか 1 つに記載の電気光学装置が実装されてなる電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子回路、電気光学装置及び電子機器に関するものである。

【0002】

【従来の技術】

有機 EL 素子といった電流駆動型発光素子を用いた電気光学装置の駆動方式の一つに、アクティブマトリクス駆動方式がある。

【0003】

アクティブマトリクス駆動方式の電気光学装置においては、有機 EL 素子に供給される電流を制御することで、有機 EL 素子の輝度階調を制御する電流プログラミング方式の電気光学装置がある。

【0004】

電流プログラミング方式の電気光学装置は、EL 素子を有した複数の画素回路がマトリクス状に配置された表示パネル部を有する。各画素回路は、前記表示パ

ネル部に配設されたデータ線を介してデータ線駆動回路と接続されている。データ線駆動回路は、表示パネル部に表示を実行させるためのデジタル信号である画像データを出力するコントローラと接続されている。

【0005】

そして、コントローラから出力された画像データはデータ線駆動回路に入力され、同データ線駆動回路にて画像データに応じた駆動信号が生成される。そして、データ線駆動回路にて生成された駆動信号がデータ線を介して画素回路に出力される。画素回路は、前記駆動信号に基づいてEL素子を制御するようになっている。詳しくは、画素回路は、前記駆動信号の電流値に対応した電流を有機EL素子に供給することで、有機EL素子の発光輝度の階調を制御するようになっている。

【0006】

このように構成した電流プログラミング方式の電気光学装置におけるデータ線駆動回路には、前記コントローラから出力されるデジタル信号である画像データをアナログ電流である駆動電流に変換するデジタル・アナログ変換回路が設けられている。

【0007】

図13は、前記データ線駆動回路に設けられた6ビット（64階調）の画像データに応じたアナログ電流（駆動電流）を出力する電流出力型デジタル・アナログ変換回路の回路図である。デジタル・アナログ変換回路70は、アナログ出力信号線71a～71f、スイッチングトランジスタ72a～72f、電流供給用トランジスタ73a～73f、及び、デジタル入力信号線74a～74fを備えている。

【0008】

アナログ出力信号線71a～71fは、互いに並列に接続され、出力端子76に接続されている。アナログ出力信号線71a～71fは、対応するスイッチングトランジスタ72a～72fにそれぞれ接続されている。又、スイッチングトランジスタ72a～72fは、対応する電流供給用トランジスタ73a～73fにそれぞれ接続されている。

【0009】

スイッチングトランジスタ 72 a～72 f の各ゲートは、デジタル入力信号線 74 a～74 f とそれぞれ接続され、該デジタル入力信号線 74 a～74 f は図示しないコントローラと接続されている。

【0010】

電流供給用トランジスタ 73 a～73 f は、それぞれ所定の電流を出力する定電流源として機能するトランジスタである。電流供給用トランジスタ 73 a～73 f は、その利得係数 β の相対比がそれぞれ、1 : 2 : 4 : 8 : 16 : 32 となるように設定されている。つまり、前記電流供給用トランジスタ 73 a～73 f から出力される電流値の相対比はそれぞれ、1 : 2 : 4 : 8 : 16 : 32 となる。

【0011】

第 1～6 電流供給用トランジスタ 73 a～73 f のオン・オフ制御は、前記コントローラから出力される 6 ビットの画像データによって行われる。6 ビットの画像データの最下位ビットは、利得係数 β が最も小さな（即ち β の相対値が 1 の）第 1 の電流供給用トランジスタ 73 a に供給され、最上位ビットは、利得係数 β が最も大きな（即ち β の相対値が 32 の）第 6 電流供給用トランジスタ 73 f に供給される。そして、コントローラから出力される画像データに応じてスイッチングトランジスタ 72 a～72 f がオン・オフ制御され、その結果、出力ポート 76 から前記画像データに応じたアナログ出力電流が出力される。

【0012】

その結果、出力端子 76 から出力されるアナログ出力電流は、図 14 に示すように、画像データに対して線形に変化する。従って、前記画素回路では、前記データ線駆動回路から出力されたアナログ出力電流に対応した電流を有機 EL 素子に供給するので、有機 EL 素子の輝度階調は、前記画像データに対して線形に変化することとなる。

【0013】**【発明が解決しようとする課題】**

ところで、人の視覚は、輝度階調に対して高次関数的となることが知られてい

る。詳しくは、人の視覚は輝度階調が高くなるのに従って急激に低下する。従って、有機EL素子の輝度階調を前記画像データに対して線形に変化させても、輝度階調が高くなるのに従って、人に有機EL素子の輝度階調の変化を適確に知覚させることができない。このために、輝度階調を線形とした場合には、実際に出力されている階調数よりも人が感じる階調数は少なく認識される場合があり、結果として表示品質の低い電気光学装置とされてしまう。

【0014】

本発明は上記問題点を解消するためになされたものであって、その目的は、デジタルデータに対応して所定の大きさの出力値を有するデジタル信号を生成させることができる電子回路、電気光学装置、及び電子機器を提供することにある。

【0015】

【課題を解決するための手段】

本発明における電子回路は、 j ビット (j は自然数) のデジタルデータをシフトすることで k ビット (k は自然数) のデジタルデータに変換するシフト回路と、前記シフト回路と電氣的に接続し、同シフト回路にて得られた前記 k ビットのデジタルデータを前記 j ビットのデジタルデータの変化に伴って連続して変化させるための補正回路とを備えた。

【0016】

これによれば、 j ビットのデジタルデータに基づいて生成される k ビットのデジタルデータを任意に変化させることができる。

この電子回路において、前記 k ビットのデジタルデータは、前記 j ビットのデジタルデータより大きい拡張デジタルデータであって、前記シフト回路は、前記 j ビットのデジタルデータの範囲を複数のグループに区分し、各グループ毎にそのデジタルデータをそのグループに応じて予め定められたビット数だけシフトして前記 k ビットのデジタルデータに変換させるようにした。

【0017】

これによれば、 j ビットのデジタルデータを、高次関数的に変化する k ビットのデジタルデータにすることができる。

この電子回路において、前記補正回路は電気光学素子と電氣的に接続され、前

記 j ビットのデジタルデータは、前記電気光学素子の輝度を制御するための輝度階調データであって、前記 k ビットのデジタルデータは、前記電気光学素子に供給されるアナログ電流の電流量を与える拡張輝度階調データである。

【0018】

これによれば、電気光学素子の輝度階調を j ビットの輝度階調データを任意に変化させることができる。

この電子回路において、前記補正回路は加算回路である。

【0019】

これによれば、補正回路を容易に形成することができる。

この電子回路において、前記シフト回路は、前記 j ビットのデジタルデータの大きさに応じて、同 j ビットのデジタルデータをシフトさせるビット数を決定するようにした。

【0020】

これによれば、 j ビットのデジタルデータに基づいて生成される k ビットのデジタルデータを任意に変化させることができる。

この電子回路において、前記 k ビットのデジタルデータは、前記 j ビットの輝度階調データより大きい拡張デジタルデータであって、前記シフト回路は、前記 j ビットのデジタルデータの範囲を複数のグループに区分し、各グループ毎にそのデジタルデータをそのグループに応じて予め定められたビット数だけシフトして前記 k ビットのデジタルデータに変換させるようにした。

【0021】

これによれば、 j ビットのデジタルデータを、高次関数的に変化する k ビットのデジタルデータにすることができる。

この電子回路において、前記シフト回路は、上位にシフトするものであり、値が大きいグループほど前記シフトするビット数を大きくするようにした。

【0022】

これによれば、 j ビットの輝度階調データの大きさに対して急峻に増加する k ビットの拡張輝度階調データにすることができる。

本発明における電気光学装置は、 j ビット (j は自然数) の輝度階調データを

出力する制御回路と、前記 j ビットの輝度階調データに基づいてアナログ駆動信号を生成する駆動回路と、前記アナログ駆動信号に基づいて電流駆動素子を駆動させる画素回路とを備えた電気光学装置において、前記駆動回路に、前記 j ビットの輝度階調データをシフトすることで k ビット (k は自然数) のデジタルデータに変換するシフト回路と、前記シフト回路と電氣的に接続し、同シフト回路にて得られた前記 k ビットのデジタルデータを前記 j ビットの輝度階調データの変化に伴って連続して変化させるための補正回路とを備えた。

【0023】

これによれば、 j ビットの輝度階調データに基づいて生成される k ビットのデジタルデータを任意に変化させることができる。

この電気光学装置において、前記 k ビットのデジタルデータは、前記 j ビットの輝度階調データより大きい拡張デジタルデータであって、前記シフト回路は、前記 j ビットのデジタルデータの範囲を複数のグループに区分し、各グループ毎にそのデジタルデータをそのグループに応じて予め定められたビット数だけシフトして前記 k ビットのデジタルデータに変換させるようにした。

【0024】

これによれば、電流駆動素子に供給される電流の電流量を高次関数的に変化させることができる。

この電気光学装置において、前記補正回路は加算回路である。

【0025】

これによれば、電気光学装置の補正回路を容易に形成することができる。

この電気光学装置において、前記シフト回路は、前記 j ビットの輝度階調データの大きさに応じて、同 j ビットの輝度階調データをビットシフトさせるビット数を決定するようにした。

【0026】

これによれば、 j ビットの輝度階調データに基づいて電流駆動素子の輝度階調を制御することができる電気光学装置を実現することができる。

この電気光学装置において、前記シフト回路は、上位にシフトするものであり、値が大きいグループほど前記シフトするビット数を大きくするようにした。

【0027】

これによれば、j ビットの輝度階調データの大きさに対して急峻に増加する k ビットの拡張輝度階調データにすることができる。その結果、電気光学装置は、特に高い輝度階調の領域においても、人に対してその電流駆動素子の輝度階調を適確に知覚させることができる。従って、電気光学装置の表示品質を向上させることができる。

【0028】

この電気光学装置において、前記電流駆動素子は、EL素子である。

これによれば、EL素子の輝度階調を人に対して適確に知覚させることができる。

【0029】

この電気光学装置において、前記EL素子は、発光層は有機材料で構成されている。

これによれば、有機EL素子の輝度階調を人に対して適確に知覚させることができる。

【0030】

本発明における電子機器は、請求項1～6に記載の電子回路が実装されてなる電子機器。

これによれば、輝度階調が優れた表示ユニットを有した電子機器を提供することができる。

【0031】

この電気光学装置において、請求項7～13に記載の電気光学装置が実装されてなる電子機器。

これによれば、表示品質が優れた表示ユニットを有した電子機器を提供することができる。

【0032】**【発明の実施の形態】****(第1実施形態)**

以下、本発明を具体化した第1実施形態を図1～9に従って説明する。図1は

、電気光学装置として有機ELディスプレイ10の回路構成を示すブロック回路図を示す。図2は、表示パネル部の内部回路構成を示すブロック回路図を示す。有機ELディスプレイ10は、制御回路としてのコントローラ11、表示パネル部12、走査線駆動回路13、及びドライバ回路としてのデータ線駆動回路14を備えている。尚、本実施形態における有機ELディスプレイ10は、アクティブマトリクス駆動方式の有機ELディスプレイである。

【0033】

有機ELディスプレイ10のコントローラ11、走査線駆動回路13、及びデータ線駆動回路14は、それぞれが独立した電子部品によって構成されていてもよい。例えば、コントローラ11、走査線駆動回路13、及びデータ線駆動回路14が、各々1チップの半導体集積回路装置によって構成されていてもよい。又、コントローラ11、走査線駆動回路13、及びデータ線駆動回路14の全部若しくは一部がプログラマブルなICチップで構成され、その機能がICチップに書き込まれたプログラムによりソフトウェア的に実現されてもよい。

【0034】

コントローラ11は、表示パネル部12に表示を実行させるための制御信号及びjビット（本実施形態では6ビット）のデジタルデータ（輝度階調データとしての画像データ）を走査線駆動回路13及びデータ線駆動回路14にそれぞれ出力する。尚、本実施形態では、説明の便宜上、画像データは6ビットのデジタル信号である。

【0035】

表示パネル部12は、図2に示すように、複数の画素回路15がマトリクス状に配置された構造を成している。各画素回路15は、その行方向に伸びる複数の走査線 Y_n （ $n=1\sim N$ ； n は整数）を介して走査線駆動回路13に接続されている。又、各画素回路15は、その列方向に伸びる複数のデータ線 X_m （ $m=1\sim M$ ； m は整数）を介してデータ線駆動回路14に接続されている。各画素回路15は、その発光部が有機材料で構成された電気光学素子としての有機EL素子16を有する。

【0036】

画素回路 15 は、前記データ線駆動回路 14 から出力される駆動信号としてのデータ線駆動信号の電流 I_m に応じて有機 EL 素子 16 の輝度階調を制御する電流プログラミング方式の画素回路である。詳しくは、画素回路 15 は、その内部にデータ線駆動回路 14 から出力されるデータ線駆動信号の電流値に対応した電流値を有する電流を有機 EL 素子 16 に供給する電子回路が設けられている。そして、画素回路 15 は、有機 EL 素子 16 に前記データ線駆動信号の電流値に対応した電流が流れることにより有機 EL 素子 16 の輝度階調が制御されるようになっている。

【0037】

走査線駆動回路 13 は、コントローラ 11 から出力された画像データに基づいて、表示パネル部 12 に設けられた複数の走査線 Y_n のうち、1本の走査線を選択し、その選択された走査線に走査線駆動信号を出力する。そして、その走査線駆動信号によって、前記画素回路 15 の有機 EL 素子 16 が発光するタイミングを制御する。

【0038】

データ線駆動回路 14 は、コントローラ 11 から出力される 6 ビットの画像データに基づいてデータ線駆動信号を生成する。詳しくは、データ線駆動回路 14 は、各データ線 X_m とそれぞれ接続した複数の単一ラインドライバ 20 が備えられている。単一ラインドライバ 20 は、コントローラ 11 から出力される画像データに基づいてデータ線駆動信号を生成し、その生成されたデータ線駆動信号をデータ線 X_m を介して各画素回路 15 に出力する。そして、各画素回路 15 にて、そのデータ線駆動信号の電流 I_m に対応した電流が有機 EL 素子 16 に供給されることで有機 EL 素子 16 の輝度階調が制御されるようになっている。尚、本実施形態では、コントローラ 11 から出力される 6 ビットの画像データに基づいて、有機 EL 素子 16 の輝度階調を 64 階調制御させるようになっている。

【0039】

単一ラインドライバ 20 は、図 3 に示すように、駆動回路としてのデジタル・アナログ変換回路 30 と、そのデジタル・アナログ変換回路 30 の入力側に設けられた電子回路としてのビット拡張回路 40 とを備えている。

【0040】

デジタル・アナログ変換回路30は、8ビットの電流出力型デジタル・アナログ型変換回路である。デジタル・アナログ変換回路30は、アナログ信号線31a～31hと、8個の第1～8スイッチングトランジスタ32a～32hと、8個の第1～8電流供給用トランジスタ33a～33hと、デジタル入力信号線34a～34hとを備えている。

【0041】

アナログ信号線31a～31hは互いに並列に配列され、アナログ出力端子P_oに接続されている。アナログ信号線31a～31hは、それぞれ、第1～8スイッチングトランジスタ32a～32hの各ドレインに接続されている。

【0042】

第1～8スイッチングトランジスタ32a～32hは、その各ソースが、第1～8電流供給用トランジスタ33a～33hの各ドレインに接続されている。又、第1～8スイッチングトランジスタ32a～32hは、その各ゲートが、第1～8デジタル信号線34a～34hを介してビット拡張回路40に接続されている。

【0043】

第1～8電流供給用トランジスタ33a～33hは、その各ゲートが、それぞれ、電圧供給線35を介して入力端子36に接続されている。そして、各電流供給用トランジスタ33a～33hは、その入力端子36に基準電圧V_oが印加されることによって、それぞれ、所定の電流値を有する電流を出力するようになっている。つまり、第1～8電流供給用トランジスタ33a～33hは、それぞれ所定の電流を出力する定電流源として機能するトランジスタである。

【0044】

詳しくは、第1～8電流供給用トランジスタ33a～33hは、その利得係数 β の相対比が、それぞれ、1:2:4:8:16:32:64:128となるように設定されている。トランジスタの利得係数 β は、 $\beta = (\mu C W / L)$ で定義される。ここで、 μ はキャリアの移動度、Cはゲート容量、Wはチャネル幅、Lはチャネル長である。従って、各第1～8電流供給用トランジスタ33a～33

hの電流駆動能力比は、 $1:2:4:8:16:32:64:128$ となり、第1～8電流供給用トランジスタ33a～33hからそれぞれ出力される電流の大きさ $I_a \sim I_h$ は、以下の関係になる。

【0045】

$$I_a = I_b / 2 = I_c / 4 = I_d / 8 = I_e / 16 = I_f / 32 = I_g / 64 = I_h / 128$$

又、第1～8スイッチングトランジスタ32a～32hのオン・オフ制御は、ビット拡張回路40から出力されるkビットの拡張デジタルデータとしての8ビットのデジタルデータによって行われる。8ビットのデジタルデータの最下位ビットは、利得係数が最も小さな（即ち β の相対値が1の）第1スイッチングトランジスタ32aに供給され、最上位ビットは、利得係数が最も大きな（即ち β の相対値が128の）第8スイッチングトランジスタ32hに出力されるようになっている。

【0046】

デジタル・アナログ変換回路30のアナログ出力端子 P_o は、前記データ線 X_m ($m=1 \sim M$) を介して各画素回路15に接続されている。そして、デジタル・アナログ変換回路30は、ビット拡張回路40から出力されるデジタルデータに比例したデータ線駆動信号の電流 I_m をアナログ出力端子 P_o から出力する。

【0047】

ビット拡張回路40は、図4に示すように、入力ポート41、第1～8出力ポート42a～42h、ビットシフト回路としてのシフトレジスタ43、及び、加算回路44を備えている。

【0048】

入力ポート41は、データ線 $L_1 \sim L_6$ を介してコントローラ11と接続されている。入力ポート41a～41fは、コントローラ11から出力された6ビットの画像データをデータ線 $L_1 \sim L_6$ を介してビット拡張回路40にそれぞれ入力させる。

【0049】

第1～8出力ポート42a～42hは、第1出力ポート41a、第2出力ポ

ト 4 1 b、・・・、第 8 出力ポート 4 1 h の順に、第 1 デジタル信号線 3 4 a、第 2 デジタル信号線 3 4 b、・・・、第 8 デジタル信号線 3 4 h にそれぞれ接続されている。そして、各第 1～8 出力ポート 4 2 a～4 2 h は、それぞれ、第 1～8 デジタル信号線 3 4 a～3 4 h を介して、第 1～8 スイッチングトランジスタ 3 2 a～3 2 h の各ゲートにそれぞれ接続されている。又、第 1～8 出力ポート 4 2 a～4 2 h は、第 1 出力ポート 4 2 a、第 2 出力ポート 4 2 b・・・、第 8 入力ポート 4 2 f の順に、後記するシフトレジスタ 4 3 及び加算回路 4 4 にて演算処理された 8 ビットのデジタルデータの最下位ビットから最上位ビットの順に対応するように設定されている。尚、本実施形態では、前記デジタルデータは、拡張デジタルデータ及び拡張輝度階調データとしてのデジタルデータである。

【0050】

シフトレジスタ 4 3 は、複数の論理回路から構成されたものであって、コントローラ 1 1 から出力される 6 ビットの画像データを 8 ビットのデジタルデータに拡張するとともにその拡張された 8 ビットのデジタルデータの各ビットをシフトさせる回路である。

【0051】

加算回路 4 4 は、シフトレジスタ 4 3 にてシフトされた画像データに所定の 8 ビットのデータ値を加算させる回路である。

次に、ビット拡張回路 4 0 にて行われる演算処理方法を図 5～7 に従って説明する。尚、便宜上、コントローラ 1 1 から出力される画像データの各ビットの値を h_i ($i = 1 \sim 6$) で示すこととする。

【0052】

ビット拡張回路 4 0 は、本実施形態では、コントローラ 1 1 から出力される 6 ビットの画像データ ($h_6, h_5, h_4, h_3, h_2, h_1$) を、以下に示す 4 つのグループに分けて演算処理を行う。以下、それぞれのグループについて説明する。

【0053】

1. 第 1 グループ

第 1 グループは、画像データが $(0, 0, 0, 0, 0, 0) \sim (0, 0, 1,$

1, 1, 1) である場合 (階調 1 ~ 16) のグループである。

【0054】

ビット拡張回路 40 は、そのシフトレジスタ 43 が 6 ビットの画像データ (0, 0, h4, h3, h2, h1) のうちの下位 4 ビットを抽出し、その 4 ビットの上位側にさらに 4 ビット (0, 0, 0, 0) を付け加え、8 ビットの画像データ (0, 0, 0, 0, h4, h3, h2, h1) を生成する (図 5 参照)。そして、その 8 ビットの画像データ (0, 0, 0, 0, h4, h3, h2, h1) が、そのまま拡張した 8 ビットの画像データ (0, 0, 0, 0, b4, b3, b2, b1) として各出力ポート 42a ~ 42h からそれぞれ出力される。

【0055】

2. 第 2 グループ

第 2 グループは、画像データが (0, 1, 0, 0, 0, 0) ~ (0, 1, 1, 1, 1, 1) である場合 (階調 17 ~ 32) のグループである。

【0056】

ビット拡張回路 40 は、そのシフトレジスタ 43 が 6 ビットの画像データ (0, h5, h4, h3, h2, h1) のうちの下位 4 ビットを抽出し、その 4 ビットの上位側にさらに 4 ビット (0, 0, 0, 0) を付け加え、8 ビットの画像データ (0, 0, 0, 0, h4, h3, h2, h1) を生成する。そして、シフトレジスタ 43 は、その 8 ビットの画像データ (0, 0, 0, 0, h4, h3, h2, h1) の下位 4 ビットの値「h1」~「h4」を 1 ビット左にシフトさせ、その最下位ビットを「0」にする (図 6 参照)。続いて、加算回路 44 にて、シフトレジスタ 43 にてシフト処理された 8 ビットの画像データ (0, 0, 0, h4, h3, h2, h1, 0) に、予め記憶された 8 ビットのデータ (0, 0, 0, 1, 0, 0, 0, 1) を加算させる。前記 8 ビットのデータ (0, 0, 0, 1, 0, 0, 0, 1) はオフセットデータであって、シフトレジスタ 43 にてシフト処理された 8 ビットの画像データ (0, 0, 0, h4, h3, h2, h1, 0) の初期値を与えるオフセット値に対応する。つまり、第 1 グループと第 2 グループとの連続性を補償するためのデータである。そして、その加算された 8 ビットのデジタルデータが拡張した 8 ビットの画像データ [b8 (=0), b7 (=

0), b6, b5, b4, b3, b2, b1 (=1)] として各出力ポート 41a ~ 41h からそれぞれ出力される。

【0057】

3. 第3グループ

第3グループは、画像データが (1, 0, 0, 0, 0, 0) ~ (1, 0, 1, 1, 1, 1) である場合 (階調 33 ~ 48) のグループである。

【0058】

ビット拡張回路 40 は、そのシフトレジスタ 43 が 6 ビットの画像データ (h6, h5, h4, h3, h2, h1) のうちの下位 4 ビットを抽出し、その 4 ビットの上位側にさらに 4 ビット (0, 0, 0, 0) を付け加え、8 ビットの画像データ (0, 0, 0, 0, h4, h3, h2, h1) を生成する。そして、シフトレジスタ 43 にて、その 8 ビットの画像データ (0, 0, 0, 0, h4, h3, h2, h1) の下位 4 ビットの値「h1」~「h4」を 2 ビット左にシフトさせ、下位 2 ビットを (0, 0) にする (図 7 参照)。続いて、加算回路 44 にて、前記シフトレジスタ 43 にてシフト処理された 8 ビットの画像データ (0, 0, h4, h3, h2, h1, 0, 0) に、予め記憶された 8 ビットのデータ (0, 0, 1, 1, 0, 0, 1, 1) を加算させる。前記 8 ビットのデータ (0, 0, 1, 1, 0, 0, 1, 1) は、オフセットデータであって、シフトレジスタ 43 にてシフト処理された 8 ビットの画像データ (0, 0, h4, h3, h2, h1, 0, 0) の初期値を与えるオフセット値に対応する。つまり、第2グループと第3グループとの連続性を補償するためのデータである。そして、その加算された 8 ビットのデジタルデータが拡張した 8 ビットの画像データ [b8 (=0), b7, b6, b5, b4, b3, b2 (=1), b1 (=1)] として各出力ポート 41a ~ 41h からそれぞれ出力される。

【0059】

4. 第4グループ

第4グループは、画像データが (1, 1, 0, 0, 0, 0) ~ (1, 1, 1, 1, 1, 1) である場合 (階調 49 ~ 64) のグループである。

【0060】

ビット拡張回路40は、そのシフトレジスタ43が6ビットの画像データ(h6, h5, h4, h3, h2, h1)のうちの下位4ビットを抽出し、その4ビットの上位側にさらに4ビット(0, 0, 0, 0)を付け加え、8ビットの画像データ(0, 0, 0, 0, h4, h3, h2, h1)を生成する。そして、シフトレジスタ43にて、その8ビットの画像データ(0, 0, 0, 0, h4, h3, h2, h1)の下位4ビットの値「h1」～「h4」を3ビット左にシフトさせ、下位3ビットを(0, 0, 0)にする(図8参照)。続いて、加算回路44にて、前記シフトレジスタ43にてシフト処理された8ビットの画像データ(0, h4, h3, h2, h1, 0, 0, 0)に、予め記憶された8ビットのデータ(0, 1, 1, 1, 0, 1, 1, 1)を加算させる。前記8ビットのデータ(0, 1, 1, 1, 0, 1, 1, 1)はオフセットデータであって、シフトレジスタ43にてシフト処理された8ビットの画像データ(0, h4, h3, h2, h1, 0, 0, 0)の初期値を与えるオフセット値に対応する。つまり、第3グループと第4グループとの連続性を補償するためのデータである。そして、その加算された8ビットのデジタルデータが拡張した8ビットの画像データ[b8, b7, b6, b5, b4, (b3=1), b2(=1), b1(=1)]として各出力ポート41a～41hからそれぞれ出力される。ここで、ビット拡張回路40に入力される6ビットの画像データの上位2ビットは、当該6ビットの画像データが第1～第4のどのグループに属するデータなのかを判別するためのビットとして使用する。

【0061】

尚、前記したようにシフトレジスタ43にて各ビットがシフトされる大きさは、第4のグループへ行くほど大きくなるようにした。このようにすることによって、ビット拡張回路40から出力されるデジタルデータをその値が大きくなるのに従って、高次関数的に急峻に増加させることができる。

【0062】

図9は、コントローラ11から出力される6ビットの画像データに対する、アナログ出力端子Poから出力されるデータ線駆動信号の電流Imを示す。同図より、データ線駆動信号の電流Imを、コントローラ11から出力される画像デー

タが大きくなるのに従って、高次関数的に急峻に増加させることができた。その結果、有機EL素子16の輝度を、その輝度階調が高くなるに従って高次関数的に急峻に増加させることができる。従って、輝度が高い領域においても、人は輝度階調の変化を適確に知覚することができるため、有機ELディスプレイ10の表示品質を向上させることができる。

【0063】

次に、上記のように構成した有機ELディスプレイ10の特徴を以下に記載する。

(1) 本実施形態では、コントローラ11から出力される6ビットの画像データに対して、デジタル・アナログ変換回路30から出力されるデータ線駆動信号の電流 I_m を高次関数的に変化させる8ビットのデジタルデータを生成するビット拡張回路40を構成した。そして、前記ビット拡張回路40をデジタル・アナログ変換回路30の入力側に接続することで単一ラインドライバ20を構成した。その結果、有機EL素子16の輝度を、その輝度階調が高くなるに従って高次関数的に急峻に増加させることができる。このため、輝度が高い領域においても、人は輝度階調の変化を適確に知覚することができるため、有機ELディスプレイ10の表示品質を向上させることができる。

【0064】

(2) 本実施形態では、ビット拡張回路40におけるシフト回路をシフトレジスタ43で構成した。従って、複雑な回路を用いなくても、容易にビット拡張回路40を構成することができる。又、シフトレジスタ43を使用することによって、ビット拡張回路40の規模が大きくなることを抑制することができる。

【0065】

(3) 本実施形態では、シフトレジスタ43でのビットをシフトさせる大きさは第4グループへ行くほど大きくなるようにした。従って、コントローラ11から出力される画像データが大きくなるのに従って、ビット拡張回路40から出力されるデジタルデータを高次関数的に急峻に増加させることができる。従って、有機ELディスプレイ10の表示品質を向上させることができる。

(第2実施形態)

次に、第1実施形態で説明した電気光学装置としての有機ELディスプレイ10の電子機器の適用について図10及び図11に従って説明する。有機ELディスプレイ10は、モバイル型のパーソナルコンピュータ、携帯電話、デジタルカメラ等種々の電子機器に適用できる。

【0066】

図10は、モバイル型パーソナルコンピュータの構成を示す斜視図を示す。図10において、パーソナルコンピュータ50は、キーボード51を備え本体部52と、前記有機ELディスプレイ10を用いた表示ユニット53を備えている。この場合でも、有機ELディスプレイ10を用いた表示ユニット53は前記実施形態と同様な効果を発揮する。この結果、輝度階調が優れた表示ユニット53を有したモバイル型パーソナルコンピュータ50を提供することができる。

【0067】

図11は、携帯電話の構成を示す斜視図を示す。図11において、携帯電話60は、複数の操作ボタン61、受話口62、送話口63、前記有機ELディスプレイ10を用いた表示ユニット64を備えている。この場合でも、有機ELディスプレイ10を用いた表示ユニット64は前記実施形態と同様な効果を発揮する。この結果、輝度階調が優れた表示ユニット64を有した携帯電話60を提供することができる。

【0068】

尚、発明の実施形態は、上記実施形態に限定されるものではなく、以下のように実施してもよい。

○上記実施形態では、電流駆動素子として有機EL素子16を用いたが、これを他の電流駆動素子に適応してもよい。例えば、LEDやFED等の発光素子のような電流駆動素子に適応してもよい。

【0069】

○上記実施形態では、電気光学装置として、有機EL素子16を有する画素回路15を用いた有機ELディスプレイ10に適応したが、これを、発光層が無機材料で構成された無機EL素子を有する画素回路を用いたディスプレイに適応してもよい。

【0070】

○上記実施形態では、画像データは6ビットあって、デジタル・アナログ変換回路30は8ビットであるとしたが、これに限定されることはなく、任意のビット数を有する画像データ及びデジタル・アナログ変換回路30であってもよい。

【0071】

○上記実施形態では、デジタル・アナログ変換回路30から出力される電流 I_m が画像データに対して高次関数的に急峻に増加するように、ビット拡張回路40のシフトレジスタ43及び加算回路44でのデータ処理を設定した。このビット拡張回路40のシフトレジスタ43及び加算回路44でのデータ処理を前記データ処理とは異なる他のデータ処理を行うように設定してもよい。たとえば、画像データが $(0, 0, 0, 0, 0, 0) \sim (0, 0, 1, 1, 1, 1)$ である第1グループでは、前記シフトレジスタ記第1グループの前記画像データのうち、下位4ビットを抽出し、その4ビットの上位側にさらに4ビット $(0, 0, 0, 0)$ を付け加え、8ビットの画像データ $(0, 0, 0, 0, h_4, h_3, h_2, h_1)$ を生成する。そして、シフトレジスタ43は、その8ビットの画像データ $(0, 0, 0, 0, h_4, h_3, h_2, h_1)$ の下位4ビットの値「 h_1 」～「 h_4 」を1ビット左にシフトさせ、その最下位ビットを「0」にする。

【0072】

次に、画像データが $(0, 1, 0, 0, 0, 0) \sim (0, 1, 1, 1, 1, 1)$ である第2グループでは、前記シフトレジスタ43は前記第2グループの前記画像データのうち、下位4ビットを抽出し、その4ビットの上位側にさらに4ビット $(0, 0, 0, 0)$ を付け加え、8ビットの画像データ $(0, 0, 0, 0, h_4, h_3, h_2, h_1)$ を生成する。続いて、加算回路44にて、シフトレジスタ43にてシフト処理された8ビットの画像データ $(0, 0, 0, 0, h_4, h_3, h_2, h_1)$ に、第1グループと第2グループとの連続性を確保するためのオフセットデータ $(0, 0, 0, 1, 1, 1, 1, 1)$ を加算させる。

【0073】

次に、画像データが $(1, 0, 0, 0, 0, 0) \sim (1, 0, 1, 1, 1, 1)$ である第3グループでは、前記シフトレジスタ43は前記第3グループの前記

画像データのうち、下位4ビットを抽出し、その4ビットの上位側にさらに4ビット(0, 0, 0, 0)を付け加え、8ビットの画像データ(0, 0, 0, 0, h4, h3, h2, h1)を生成する。そして、シフトレジスタ43は、その8ビットの画像データ(0, 0, 0, 0, h4, h3, h2, h1)の下位4ビットの値「h1」～「h4」を1ビット左にシフトさせ、その最下位ビットを「0」にする。続いて、加算回路44にて、シフトレジスタ43にてシフト処理された8ビットの画像データ(0, 0, 0, h4, h3, h2, h1, 0)に、第2グループと第3グループとの連続性を確保するためのオフセットデータ(0, 0, 1, 1, 0, 0, 0, 0)を加算させる。

【0074】

次に、画像データが(1, 1, 0, 0, 0, 0)～(1, 1, 1, 1, 1, 1)である第4グループでは、前記シフトレジスタ43は前記第4グループの前記画像データのうち、下位4ビットを抽出し、その4ビットの上位側にさらに4ビット(0, 0, 0, 0)を付け加え、8ビットの画像データ(0, 0, 0, 0, h4, h3, h2, h1)を生成する。続いて、加算回路44にて、シフトレジスタ43にてシフト処理された8ビットの画像データ(0, 0, 0, 0, h4, h3, h2, h1)に、第3グループと第4グループとの連続性を確保するためのオフセットデータ(0, 1, 0, 0, 1, 1, 1, 1)を加算させる。

【0075】

このようにすることによって、図12に示すように、出力電流が画像データに応答してジグザグな特性を有する電気光学装置を実現することができる。

【0076】

【発明の効果】

請求項1～15に記載の発明によれば、デジタルデータに対応して所定の大きさの出力値を有するデジタル信号を生成することができる。

【図面の簡単な説明】

【図1】

本実施形態の有機ELディスプレイの回路構成を示すブロック回路図である。

【図2】

表示パネル部の内部回路構成を示すブロック回路図である。

【図 3】

単一ラインドライバを構成するデジタル・アナログ回路及びビット拡張回路の回路図である。

【図 4】

ビット拡張回路の構成図である。

【図 5】

ビット拡張回路にて行われる演算処理方法を説明するための図である。

【図 6】

ビット拡張回路にて行われる演算処理方法を説明するための図である。

【図 7】

ビット拡張回路にて行われる演算処理方法を説明するための図である。

【図 8】

ビット拡張回路にて行われる演算処理方法を説明するための図である。

【図 9】

本実施形態での画像データとデータ線駆動信号の電流値との関係を示す図である。

【図 1 0】

第 2 実施形態を説明するためのモバイル型パーソナルコンピュータの構成を示す斜視図である。

【図 1 1】

第 2 実施形態を説明するための携帯電話の構成を示す斜視図である。

【図 1 2】

別例での画像データとデータ線駆動信号の電流値との関係を示す図である。

【図 1 3】

従来の電気光学装置で使用されていたデジタル・アナログ変換回路の回路図である。

【図 1 4】

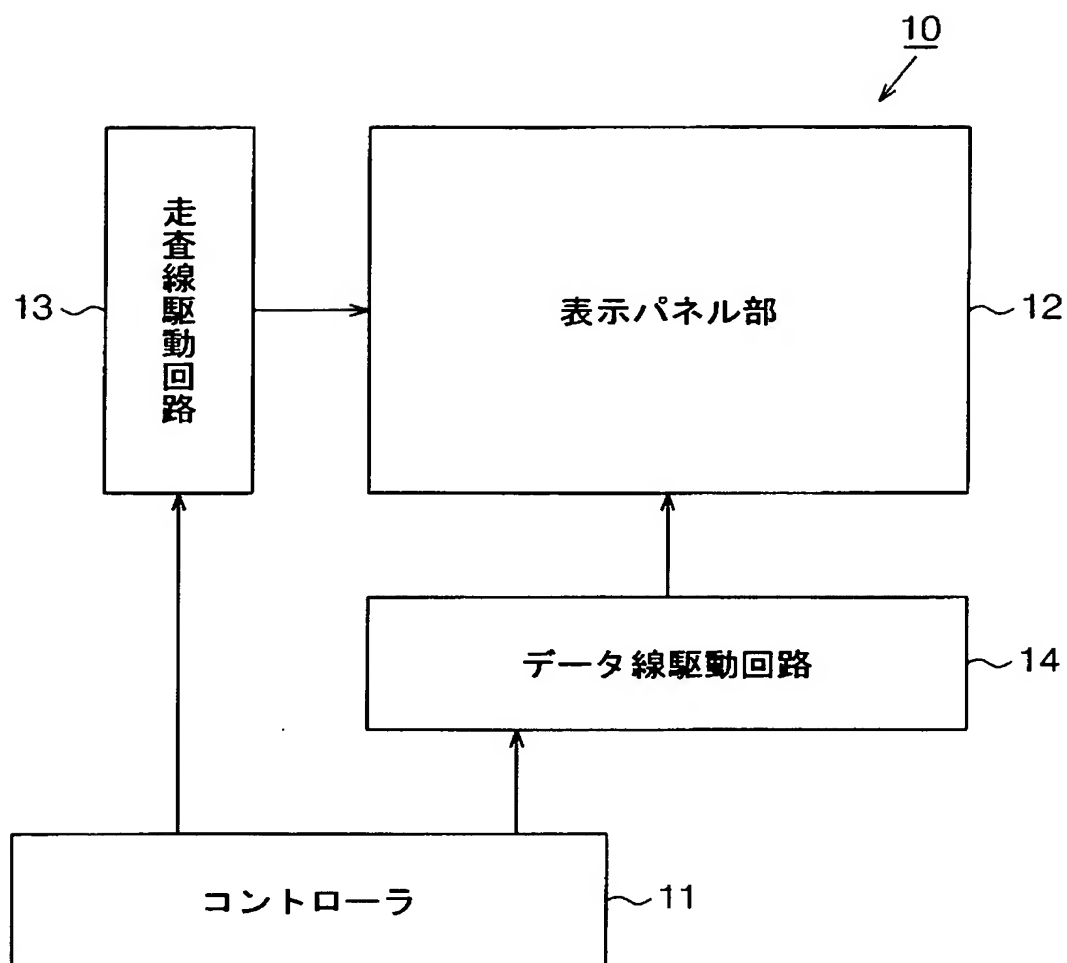
従来の画像データとデータ線駆動信号の電流値との関係を示す図である。

【符号の説明】

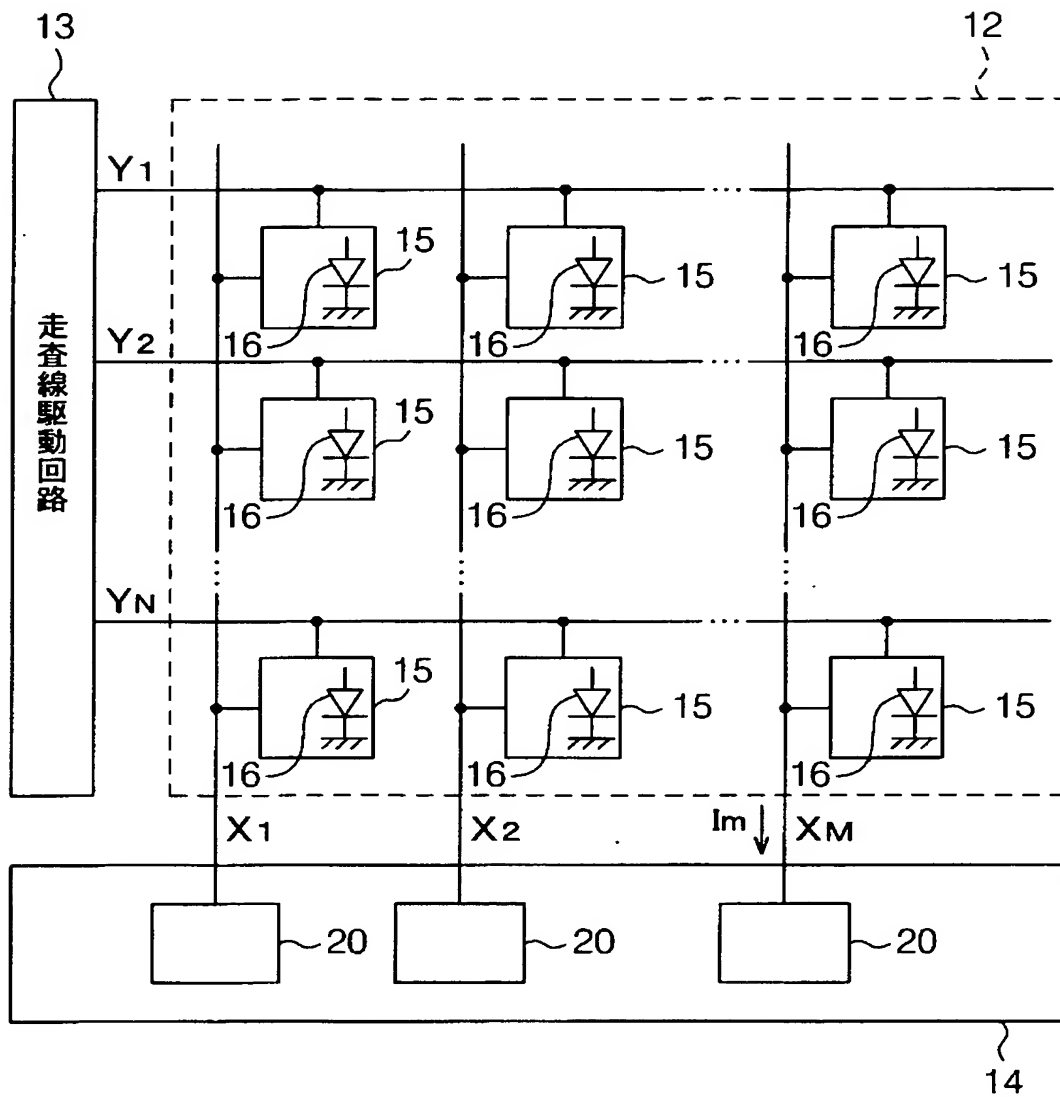
- 1 0 電気光学装置
- 1 1 制御回路としてのコントローラ
- 1 2 表示パネル部
- 1 4 ドライバ回路としてのデータ線駆動回路
- 1 5 画素回路
- 1 6 電流駆動素子としての有機 E L 素子
- 3 0 駆動回路としてのデジタル・アナログ変換回路
- 4 0 電子回路としてのビット拡張回路
- 4 3 シフト回路としてのシフトレジスタ
- 4 4 補正回路としての加算回路
- 5 0, 6 0 電子機器

【書類名】 図面

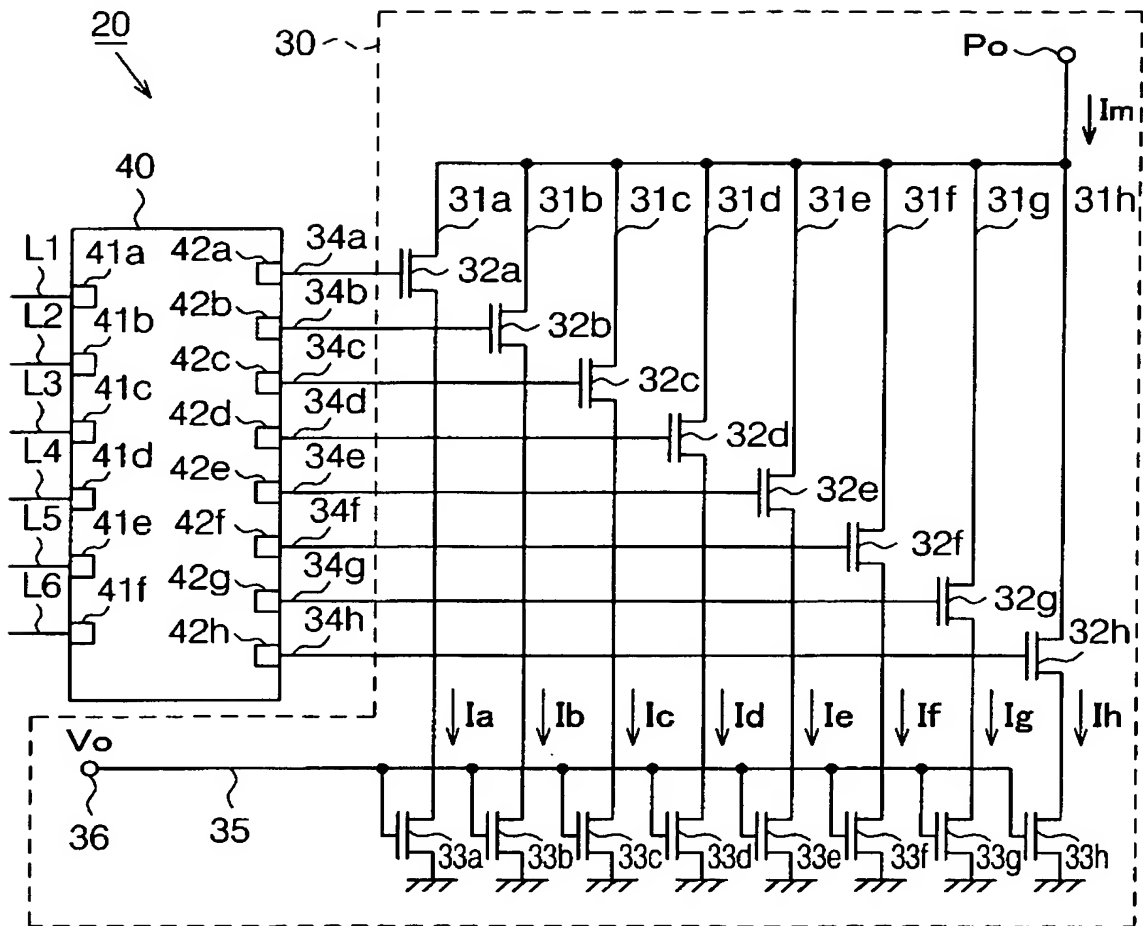
【図 1】



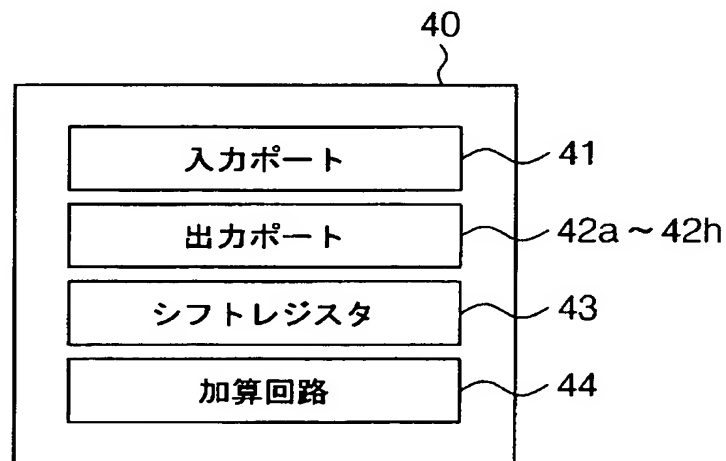
【図 2】



【図 3】

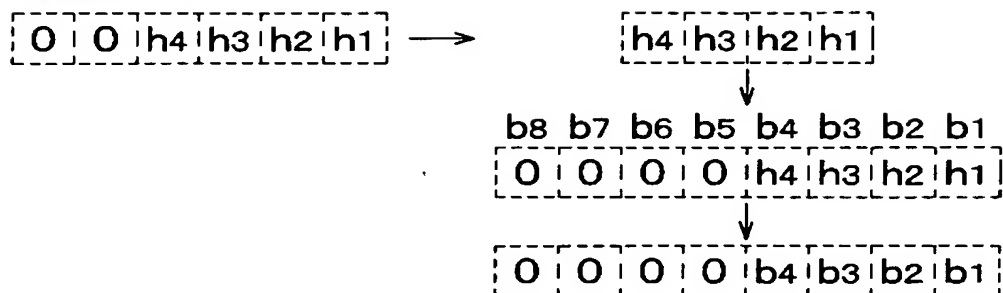


【図 4】



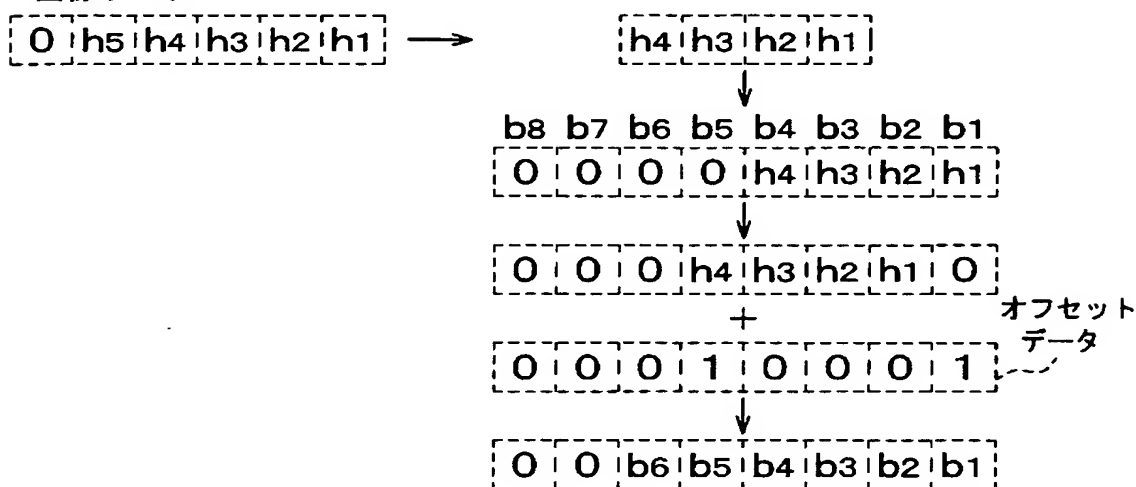
【図 5】

画像データ



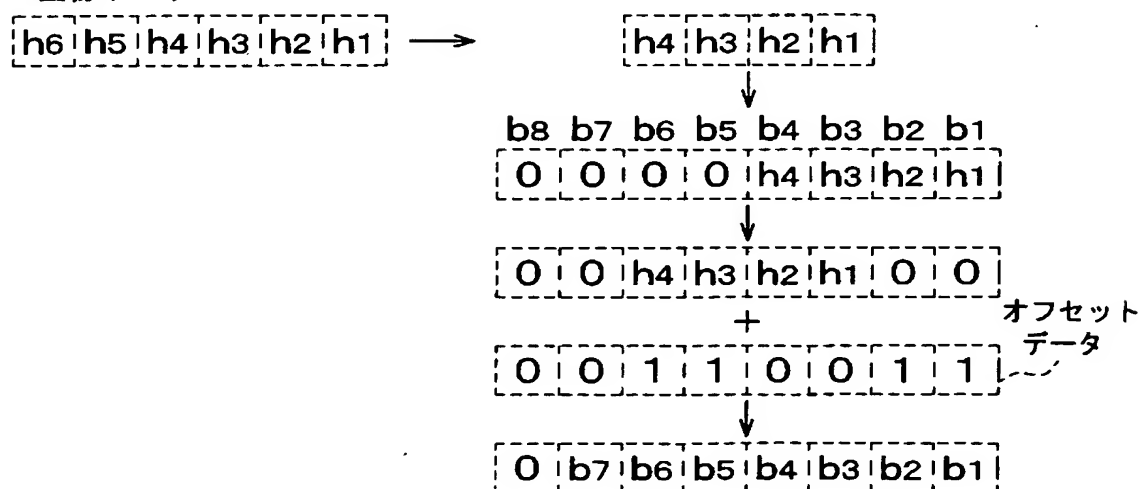
【図 6】

画像データ

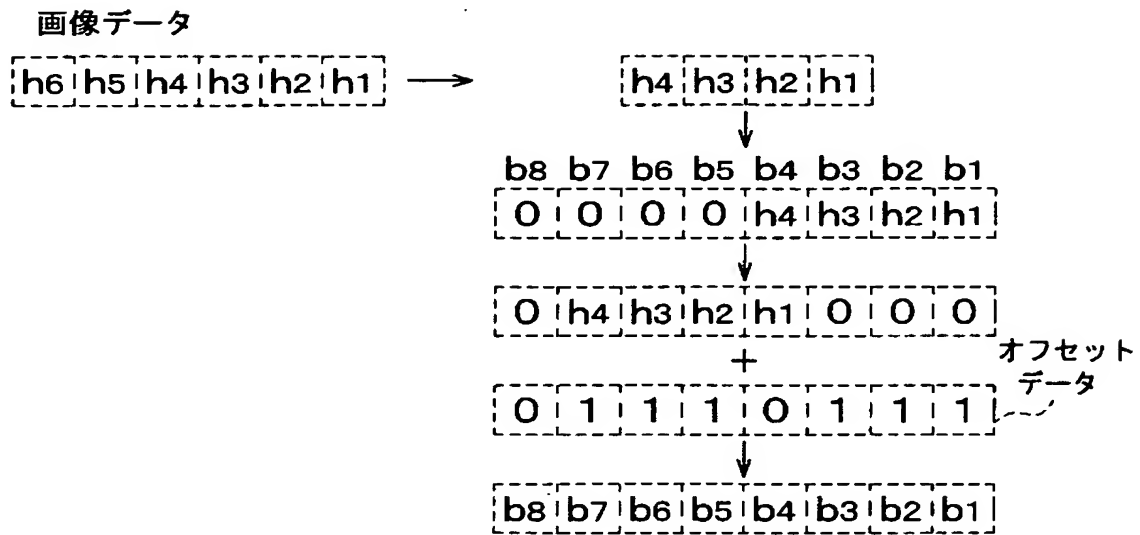


【図 7】

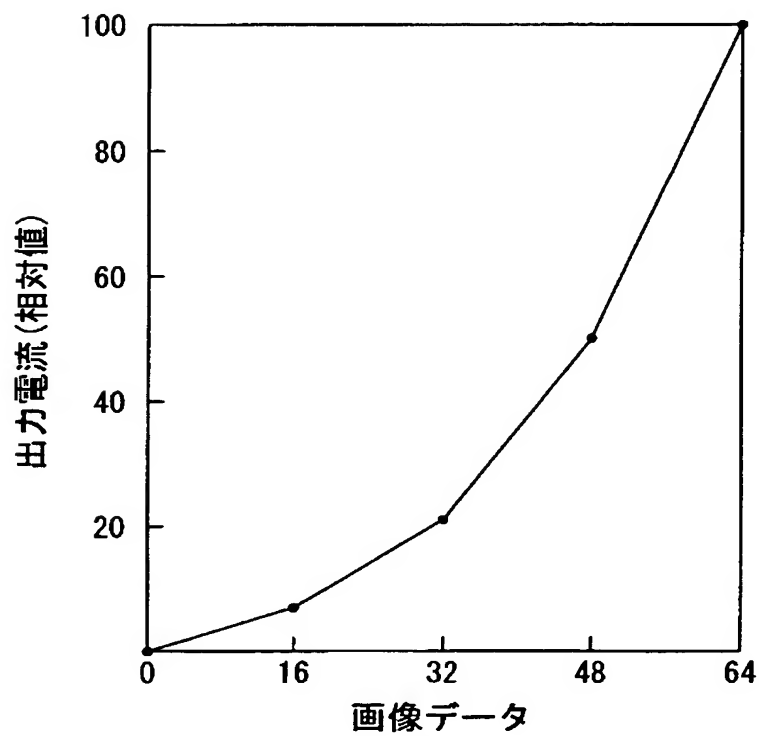
画像データ



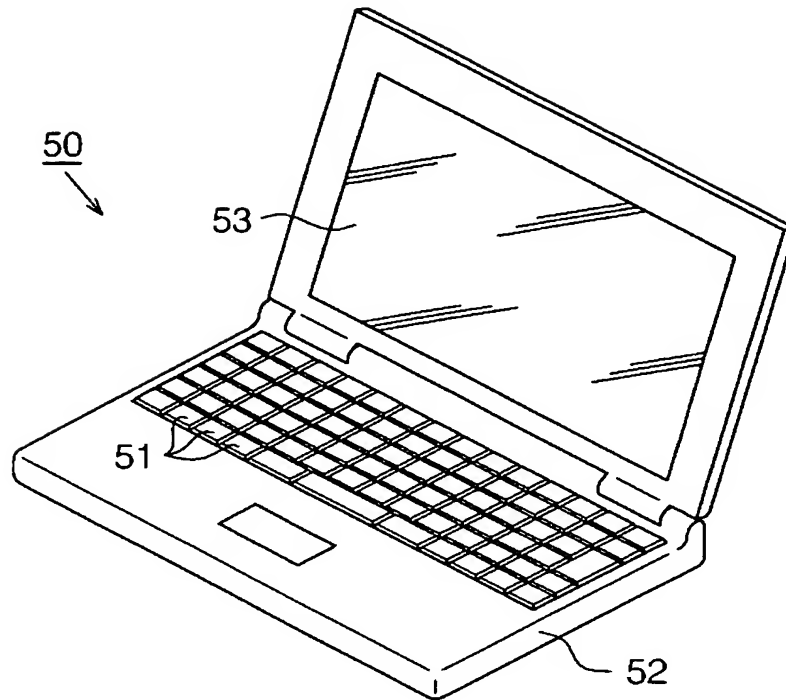
【図 8】



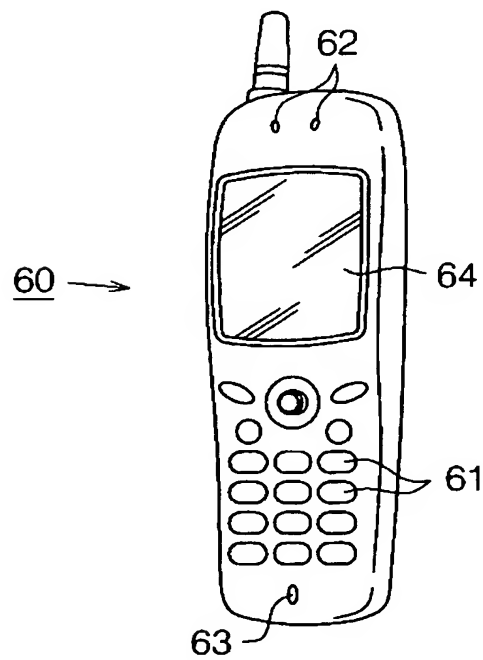
【図 9】



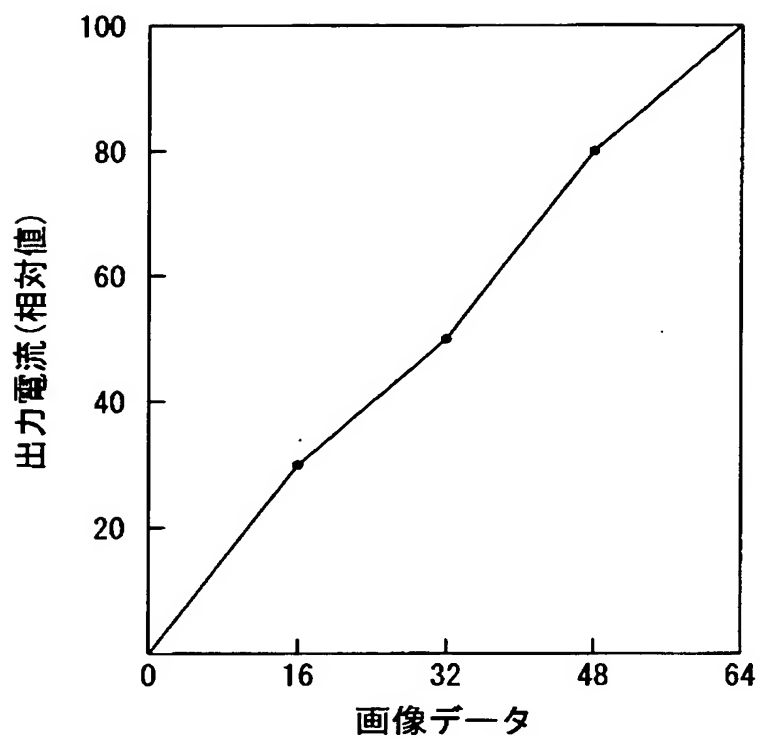
【図 10】



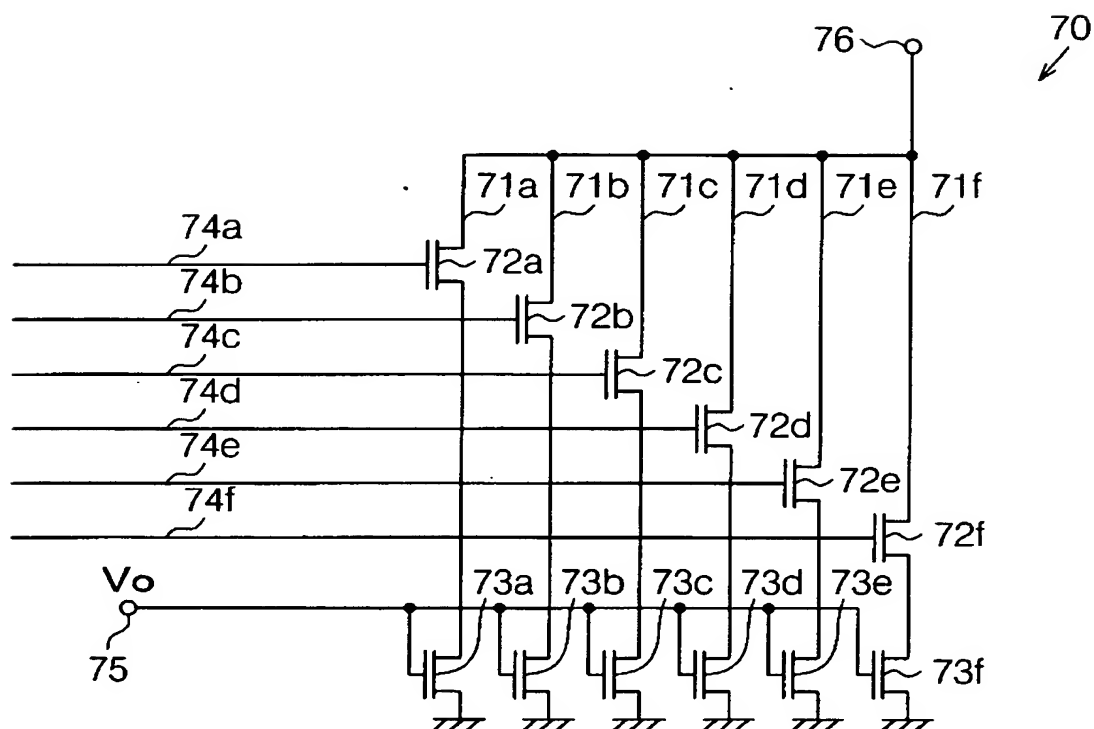
【図 11】



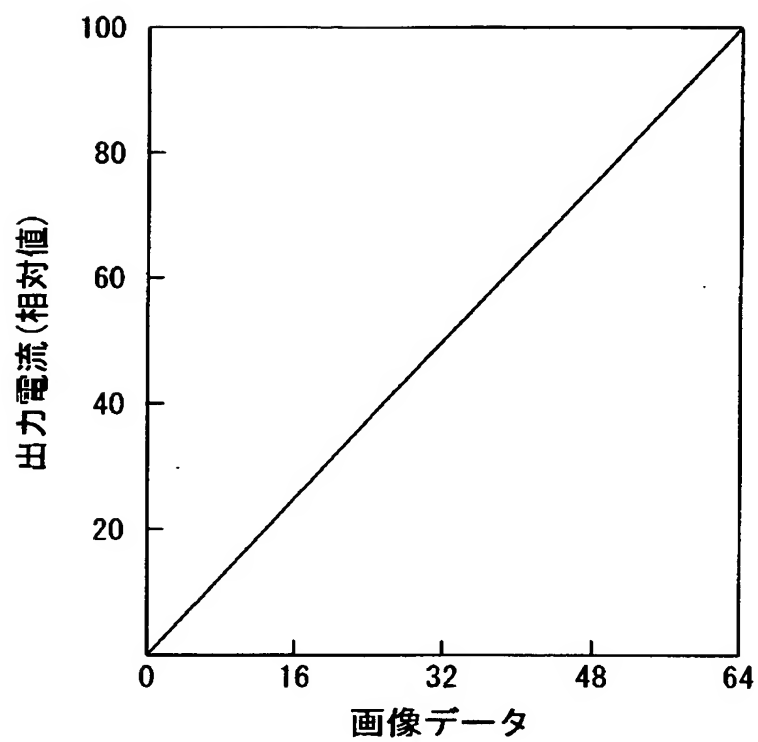
【図 12】



【図 13】



【図 1 4】



【書類名】 要約書

【要約】

【課題】 デジタルデータに対応して所定の大きさの出力値を有するデジタル信号を生成させることができる電子回路、電気光学装置、及び電子機器を提供する。

【解決手段】 コントローラから出力される 6 ビットの画像データに対して、デジタル・アナログ変換回路 3 0 から出力されるデータ線駆動信号の電流 I_m を高次関数的に変化させる 8 ビットのデジタルデータを生成させるビット拡張回路 4 0 を構成した。そして、前記ビット拡張回路 4 0 をデジタル・アナログ変換回路 3 0 の入力側に接続することで単一ラインドライバ 2 0 を構成した。

【選択図】 図 3

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 2 3 1 5 7
受付番号	5 0 2 0 1 1 3 2 1 0 3
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 4 年 8 月 1 日

< 認定情報・付加情報 >

【提出日】	平成14年 7月31日
-------	-------------

次頁無

特 願 2 0 0 2 - 2 2 3 1 5 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿2丁目4番1号

氏 名

セイコーエプソン株式会社